

CF/ATA CARD

Patent number: JP2002358495

Publication date: 2002-12-13

Inventor: FUKUZUMI TOMOYA

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: G06F3/08; G06F12/06; G06F13/00; G06K17/00; G06K19/07; G06F3/08;
G06F12/06; G06F13/00; G06K17/00; G06K19/07; (IPC1-7): G06K19/07;
G06F3/08; G06F12/06; G06K17/00

- european:

Application number: JP20010168040 20010604

Priority number(s): JP20010168040 20010604

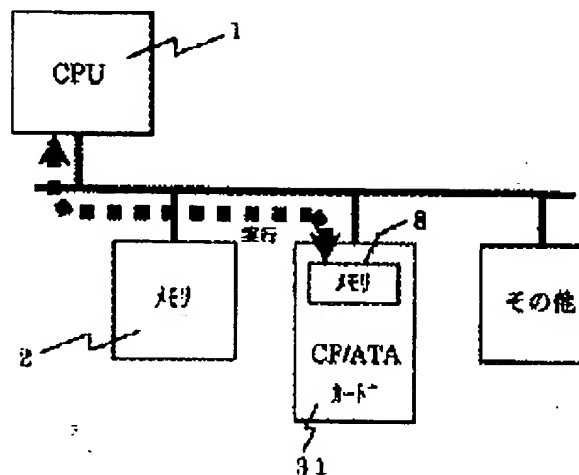
Also published as:

US2003051105 (A)

Report a data error h

Abstract of JP2002358495

PROBLEM TO BE SOLVED: To solve the problem that it is necessary to specially prepare an external memory which can be accessed at random, to transfer card data to the external memory, and access the external memory when a CF/ATA card is accessed at random. **SOLUTION:** As access mode for the CF/ATA card 31, a special memory space access mode wherein a common memory space is made effective is added and in the mode, a random access memory 8 is allocated to the common memory space; when the mode is selected, data stored on the CF/ATA card 31 are transferred to the memory 8 and the data in the memory 8 are accessed at random.



特開 2002-358495

(P 2002-358495A)

(43)公開日 平成14年12月13日(2002.12.13)

(51)Int. Cl. ⁷	識別記号	F I	テ-マコード(参考)
G 0 6 K	19/07	G 0 6 F	3/08
G 0 6 F	3/08	12/06	5 2 0 F
	12/06		5 7 0 K
			D
G 0 6 K	17/00	G 0 6 K	17/00
		19/00	N
審査請求 未請求 請求項の数6		O L (全7頁)	

(21)出願番号 特願2001-168040(P2001-168040)

(22)出願日 平成13年6月4日(2001.6.4)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 福住 知也

東京都千代田区丸の内二丁目2番3号 三菱

電機株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外1名)

Fターム(参考) 5B035 BB09 CA29

5B058 CA26 KA08

5B060 CA01 MM02 MM15

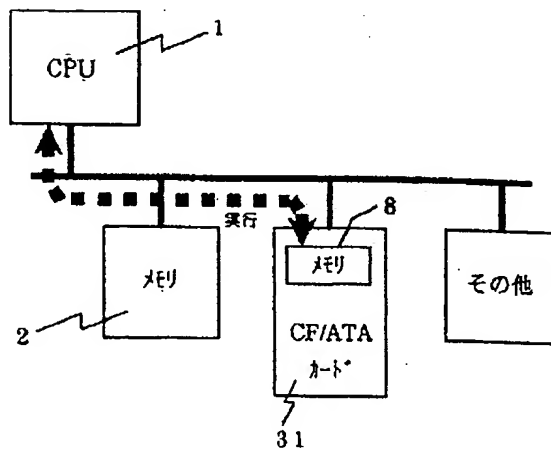
5B065 BA09 CA16 CA40 CC08

(54)【発明の名称】CF/ATAカード

(57)【要約】

【課題】 CF/ATAカードに対してランダムアクセスをするには、別途ランダムアクセス可能な外部メモリを用意し、カードデータを外部メモリに転送し、その外部メモリに対してアクセスする必要がある。

【解決手段】 CF/ATAカード31へのアクセスモードとして、コモンメモリ空間を有効にした特殊メモリ空間アクセスモードなるモードを追加し、そのモードでのコモンメモリ空間に、ランダムアクセス可能なメモリ8を割り当て、前記モードの選択時には、CF/ATAカード31に記憶のデータを前記メモリ8に転送した上で、そのメモリ8上のデータに対し、ランダムアクセスする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 メモリカードへのアクセスモードとして、コモンメモリ空間を有効にしたアクセスモードを新たに追加したことを特徴とするCF/ATAカード。

【請求項2】 メモリカードへのアクセスモードである、コンティギュアスI/Oモード、プライマリI/Oモード、およびセコンダリI/Oモードのいずれかのモードに対し、コモンメモリ空間を有効にしたアクセスモードを新たに追加したことを特徴とするCF/ATAカード。

【請求項3】 上記コモンメモリ空間に、ランダムアクセス可能なメモリを割り当てた請求項1もしくは2に記載のCF/ATAカード。

【請求項4】 上記メモリは、当該カードの記憶容量に応じた容量とする請求項3記載のCF/ATAカード。

【請求項5】 カードに記憶のデータを上記メモリに転送する転送機能を有し、そのメモリ上のデータに対し、ランダムアクセスする請求項3もしくは4に記載のCF/ATAカード。

【請求項6】 メモリカードへのアクセスモードである、コンティギュアスI/Oモード、プライマリI/Oモード、およびセコンダリI/Oモードのいずれかのモードに対し、コモンメモリ空間を有効にした特殊メモリ空間アクセスモードなるモードを追加し、そのコモンメモリ空間に、ランダムアクセス可能なメモリを割り当て、前記モードの選択時、当カードに記憶のデータを前記メモリに転送した上で、そのメモリ上のデータに対

し、ランダムアクセスすることを特徴とするCF/ATAカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリカード、特にコンパクトフラッシュ（登録商標）カードおよびATAカードに関するものである。

【0002】

【従来の技術】現在、データストレージメディアとして利用されているコンパクトフラッシュカードおよびカードサイズのATAカード（以下CF/ATAカードとする）のシステム概略図を図1に示す。1はホスト側CPUであり、プログラム等を実行する部分である。2はランダムアクセス可能な外部メモリであり、3がCF/ATAカードである。

【0003】CPU1からこのCF/ATAカード3へのアクセスには、表1に示すように、メモリマップドモード、コンティギュアスI/Oモード、プライマリI/Oモード、およびセコンダリI/Oモードの4種類のアクセスモードがあり、CPU1は、接続されたCF/ATAカード3のメモリ構成などから、これらの4つのアクセスモードの中から1つを自動的に選択する。インデックス0h～3hを指定することにより各モードが選択される。

【0004】

【表1】

インデックス	モード
0h	メモリマップドモード
1h	コンティギュアスI/Oモード
2h	プライマリI/Oモード
3h	セコンダリI/Oモード

【0005】このCF/ATAカード3への通常のデータアクセス（下記のアトリビュートメモリ空間へのアクセス）は、ATAレジスタ（後述）に格納のデータレジスタに基づき行われる。上述のアクセスモードの内の1つ

であるコンティギュアスI/OモードでのATAレジスタのマッピングを表2に示す。

【0006】

【表2】

REG	CE2	CE1	A10-A4	A3	A2	A1	A0	レジスタ/メモリ			
								IORD=L	IOWR=L	OE=L	WE=L
0	0	0	x	0	0	0	x	データレジスタ	データレジスタ		
0	1	0	x	0	0	0	0	データレジスタ	データレジスタ		
0	1	0	x	0	0	0	1	セクタレジスタ	機能選択		
0	0	1	x	0	0	0	0	セクタレジスタ	機能選択		
0	0	0	x	0	0	1	x	セクタカウンタ	セクタカウンタ		
0	1	0	x	0	0	1	0	セクタカウンタ	セクタカウンタ		
0	1	0	x	0	0	1	1	セクタ番号	セクタ番号		
0	0	1	x	0	0	1	x	セクタ番号	セクタ番号		
0	0	0	x	0	1	0	x	シリンダ上位	シリンダ上位		
0	1	0	x	0	1	0	0	シリンダ下位	シリンダ下位		
0	1	0	x	0	1	0	1	シリンダ上位	シリンダ上位		
0	0	1	x	0	1	0	x	シリンダ上位	シリンダ上位		
0	0	0	x	0	1	1	x	ドライブヘッド	ドライブヘッド		
0	1	0	x	0	1	1	0	ドライブヘッド	ドライブヘッド	アドレスビット	アドレスビット
0	1	0	x	0	1	1	1	アドレスレジスタ	アドレスレジスタ	(アドレスビットメモリ空間)	(アドレスビットメモリ空間)
0	0	1	x	0	1	1	x	アドレスレジスタ	アドレスレジスタ		
0	0	0	x	1	0	0	x	データレジスタ	データレジスタ		
0	1	0	x	1	0	0	0	データレジスタ	データレジスタ		
0	1	0	x	1	0	0	1	データレジスタ	データレジスタ		
0	0	1	x	1	0	0	x	データレジスタ	データレジスタ		
0	0	0	x	1	1	0	x	セクタレジスタ	機能選択		
0	1	0	x	1	1	0	1	セクタレジスタ	機能選択		
0	0	1	x	1	1	0	x	セクタレジスタ	機能選択		
0	0	0	x	1	1	1	x	セクタレジスタ	機能選択		
0	1	0	x	1	1	1	0	セクタレジスタ	機能選択		
0	1	0	x	1	1	1	1	セクタレジスタ	機能選択		
0	0	1	x	1	1	1	x	セクタレジスタ	機能選択		
1	x	x	x	x	x	x	x	無効	無効	無効	無効

【0007】この表2中の例えば最上段のマッピング例は、REG=0、CE2=0、CE1=0、A3=0、A2=0、A1=0で、IORD=L、IOWR=OE=WE=Hのときは、読出し時のデータレジスタを、IOWR=L、IORD=OE=WE=Hのときは、書込み時のデータレジスタを、OE=L、IORD=IOWR=WE=Hのときは、読出し時のアドリビュートメモリを、WE=L、IORD=IOWR=OE=Hのときは、書込み時のアドリビュートメモリを、それぞれマッピングすることを示している。

【0008】このマッピングでは REG=0 のとき選択される“アドリビュートメモリ空間”と、REG=1 のとき選択される“コモンメモリ空間”とが存在するが、この表2でわかるように、コモンメモリ空間の指定は無効となっている。アドリビュートメモリとは、アドリビュートメモリ空間におけるメモリ領域である。

【0009】ホストのCPU1がCF/ATAカード3に格納のデータをアクセスする際の手順を次に示す。

- ① CPU1はセクタカウンタレジスタに転送するセクタ数をセットする。
- ② CPU1はセクタ番号レジスタ、シリンダ上位/下位レジスタ、ドライブヘッドレジスタにアクセスする論理セクタアドレスをセットする。シリンダ上位/下位レジスタとは、1つのカードでメモリ領域が上位と下位のシリンダに分割されている時にいずれか一方を指定するためのレジスタであり、ドライブヘッドレジスタとは、複数のカードが接続されたときに、いずれのカードであるかを指定するためのレジスタである。
- ③ CPU1はコマンドレジスタにセクタリードのコマンドをセットする。

④ CF/ATAカードから同カード内のデータ読出しの許可出力待ち。

⑤ データ読出し許可の確認をすると、データレジスタを介してデータをバイトまたはワード単位で512バイト分、シリアルにリードしてメモリ2に格納する。

⑥ 手順④～⑤を①でセットしたセクタ数分を繰返し、これにて終了する。

30 【0010】このように従来のCF/ATAカード3に対するアクセスでは、データアクセスの単位がセクタ単位(通常は512バイト)でありしかも、ATAレジスタを介したアクセスでないと行えないため、CPU1はCF/ATAカード3に格納したデータにランダムアクセスを行うことができない。

【0011】そのためCF/ATAカード3にプログラムを格納したような場合、ホスト側CPU1はCF/ATAカード3に格納のプログラムを外部のメモリ2に転送し、その転送したデータに対してランダムアクセスすることにより、プログラムを実行している。ハードディスクへのデータアクセスもこれと全く同じ手順で行なっている。ランダムアクセスとは、周知のごとく、32ビットもしくは64ビット単位でデータが格納されたエリアのアドレスを直接指定することにより、そのデータをパラレルで読み出すアクセス法である。

【0012】

【発明が解決しようとする課題】このようにCF/ATAカード3に対してランダムアクセスができないため、CF/ATAカード3にプログラム等のランダムアクセスが必要とされるデータを格納する場合、CPU1は、

CF/ATAカード3以外に、別途ランダムアクセス可能な外部メモリ2を用意し、CF/ATAカード3からそのメモリ2にデータの転送を行ってから、外部メモリ2上でプログラムを実行している。このためCF/ATAカード3の容量に応じたサイズの外部メモリを準備する必要があった。

【0013】この発明は、コモンメモリ空間を有効にした特殊なアクセスモードを設定し、そのコモンメモリ空間にランダムアクセス可能なメモリを割り当てることで、そのメモリにランダムアクセス可能としたCF/ATAカードを提供することを目的とする。

【0014】

【課題を解決するための手段】CF/ATAカードへのアクセスモードとして、コモンメモリ空間を有効にした特殊メモリ空間アクセスモードなるモードを追加し、そのコモンメモリ空間に、ランダムアクセス可能なメモリを割り当て、前記モードの選択時には、CF/ATAカードに記憶のデータを前記メモリに転送した上で、そのメモリ上のデータに対し、ランダムアクセスする。

【0015】

【発明の実施の形態】図2は本発明の1実施形態を示したシステム概略図である。CF/ATAカード31内に設けたランダムアクセス可能なバッファメモリ8にランダムアクセスできるようにしている。そのCF/ATAカード31の内部構成を図3に示している。

【0016】図3において、4は本CF/ATAカード31内部のCPUであり、当CF/ATAカード31内部の制御を行う。5はホストのCPU1との信号のやり取りを制御するホストインタフェースである。6はフラ*

*ッシュシーケンサであり、後記のフラッシュメモリ9に対するリード/ライトのシーケンス動作を制御する。7はフラッシュメモリインタフェースであり、フラッシュシーケンサ6よりの信号を受けて256Mビットのフラッシュメモリ9に対しリード/ライトを行う。このフラッシュメモリ9が当CF/ATAカード31自身の内部メモリである。

【0017】図4は、ホストインタフェース5の概略構成図である。10はATAレジスタであり、CF/ATAカード31への通常のアクセスはすべてこのATAレジスタ10に格納のデータレジスタに基づき行われる。11は上述したインデックスを格納するインデックス格納部である。12はホストアクセス制御部であり、インデックス格納部11よりのインデックス、ホストのCPU1からのホストアドレスおよびホストコントロール信号によって、CF/ATAカード31内部のATAレジスタ10やバッファメモリ8へアクセスできるように構成している。

【0018】CPU1から従来のCF/ATAカード31へのアクセスは、表1で示したように、メモリマップドモード、コンティギアスI/Oモード、プライマリI/Oモード、およびセコンダリI/Oモードの4種類のアクセスモードであったが、本発明に係わるCF/ATAカード31では、表3で示すように、新たにインデックス4hで指定される“特殊メモリ空間アクセスモード”を追加している。

【0019】

【表3】

インデックス	モード
0h	メモリマップドモード
1h	コンティギアスI/Oモード
2h	プライマリI/Oモード
3h	セコンダリI/Oモード
4h	特殊メモリ空間アクセスモード

【0020】この特殊メモリ空間アクセスモードにおけるATAレジスタ10および特殊メモリ空間のマッピング例を表4に示す。

【0021】

【表4】

REG	CE2	CE1	A10:A4	A3	A2	A1	A0	レジスタ/メモリ			
								IORD=L	IOWR=L	OE=L	WE=L
0	0	0	x	0	0	0	x	データレジスタ	データレジスタ	7ビット・ユートメモリ (アトリビュートメモリ空間)	7ビット・ユートメモリ (アトリビュートメモリ空間)
0	1	0	x	0	0	0	0	データレジスタ	データレジスタ		
0	1	0	x	0	0	0	1	データレジスタ	機能選択		
0	0	1	x	0	0	0	x	データレジスタ	機能選択		
0	0	0	x	0	0	1	x	セグメント番号	セグメント番号		
0	1	0	x	0	0	1	0	セグメント番号	セグメント番号		
0	1	0	x	0	0	1	1	セグメント番号	セグメント番号		
0	0	1	x	0	0	1	x	セグメント番号	セグメント番号		
0	0	0	x	0	1	0	x	バンク上位	バンク上位		
0	1	0	x	0	1	0	0	バンク下位	バンク下位		
0	1	0	x	0	1	0	1	バンク下位	バンク下位		
0	0	1	x	0	1	0	x	バンク上位	バンク上位		
0	0	0	x	0	1	1	x	バンク上位	バンク上位		
0	1	0	x	0	1	1	0	バンク上位	バンク上位		
0	1	0	x	0	1	1	1	バンク上位	バンク上位		
0	0	1	x	0	1	1	x	バンク上位	バンク上位		
0	0	0	x	1	0	0	x	データレジスタ	データレジスタ		
0	1	0	x	1	0	0	0	データレジスタ	データレジスタ		
0	1	0	x	1	0	0	1	データレジスタ	データレジスタ		
0	0	1	x	1	0	0	x	データレジスタ	データレジスタ		
0	0	0	x	1	1	0	x	データレジスタ	機能選択		
0	1	0	x	1	1	0	1	データレジスタ	機能選択		
0	0	1	x	1	1	0	x	データレジスタ	機能選択		
0	0	0	x	1	1	1	x	データレジスタ	機能選択		
0	1	0	x	1	1	1	0	データレジスタ	機能選択		
0	1	0	x	1	1	1	1	データレジスタ	機能選択		
0	0	1	x	1	1	1	x	データレジスタ	機能選択		
1	0	0		任意				無効	無効	8ビットメモリ (コモンメモリ空間)	8ビットメモリ (コモンメモリ空間)
1	1	0		任意							
1	0	1		任意							

【0022】この特殊メモリ空間アクセスモードにおいても、“アトリビュートメモリ空間”と“コモンメモリ空間”が存在するが、このモードではコモンメモリ空間の指定が有効にされ、その有効にされたコモンメモリ空間に上記のバッファメモリ8を割り当てている。

【0023】このバッファメモリは従来のメモリカードにも設けられていたものであるが、従来のメモリカード 30にあるバッファメモリは、ホストのCPU 1から直接アクセスはできず、ATAレジスタを介したアクセスのみ可能であった。一方、コモンメモリ空間に割り当てたバッファメモリ 8は、ホストのCPU 1から直接のアクセス(ランダムアクセス)が可能になる。その場合の手順を以下に詳しく述べる。

【0024】ホストのCPU1は、ホストインタフェース5内のATAレジスタ10へのアクセスのために、従来例と同様に次の①～③の手順によりセクタ数やコマンドを書き込む。

① CPU 1はセクタカウントレジスタに転送するセクタ数をセットする。

② CPU1はセクタ番号レジスタ、シリンダ上位/下位レジスタ、ドライブヘッドレジスタにアクセスする論理セクタアドレスをセットする。

③ CPU 1はコマンドレジスタにセクタリードのコマンドをセットする。

【0025】④' 次に、上述のCF/ATAカード31
内のCPU4はこれらの内容をホストインタフェイス5
から受け取ると、フラッシュメモリ9からデータをパッ 50

ファメモリ 8 へ転送する指令をフラッシュシーケンサ 6 に出し、そしてホストの CPU 1 に対し、フラッシュメモリ 9 内のデータ読取の要求を出力する。

⑤' ホストのCPU 1はデータ読取要求を確認すれば、ATAレジスタ10の1つであるデータレジスタを介してアクセスを行なう。これにより、図4のホストアクセス制御部12がバッファメモリ8のアドレスおよびデータを制御し、ホストのCPU 1へデータを出力する。CPU 1は読み取ったデータをバッファメモリ8へ格納する。ホストのCPU 1は、コモンメモリ空間に直接アクセスすることができるため、コモンメモリ空間に割り当てられたバッファメモリ8のデータにランダムアクセスすることが可能となる。

【0026】この方式によれば、データを退避させておくための大容量の外部メモリ2を必要としないため、大容量の外部メモリを持つことができないシステムに有用である。又、CF/ATAカード31内のバッファメモリ8は、フラッシュメモリ9のサイズに見合った最小限の容量でよいため、無駄なメモリをなくすることができる。

【0027】尚、本CF/ATAカード31に対し、例えばコンティギュアスI/Oモードを指定したときは、従来例と同様に上記①～⑥の手順に従ってデータをアクセスする。

【0028】又、本実施形態における特殊メモリ空間アドレスは、表2、表4の比較からわかるようにコンティギュアスI/Oモードをベースとしたが、共通メモリ

空間を有する他のアクセスモード、例えばプライマリ I/Oモードやセカンダリ I/Oモードをベースとしてもよい。

【0029】

【発明の効果】この発明は、CF/ATAカードへのアクセスモードとして、コモンメモリ空間の指定をを有効にした特殊メモリ空間アクセスモードなるモードを追加し、そのコモンメモリ空間にランダムアクセス可能なメモリを割り当てたので、カードからメモリに転送したデータに対しては、ランダムアクセスすることが可能となる。

【図面の簡単な説明】

【図1】 従来のCF/ATAカードを含むシステム概略図

【図2】 本発明のCF/ATAカードを含むシステム概略図

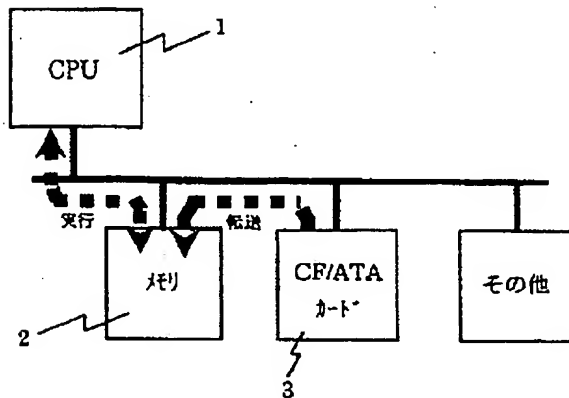
【図3】 図2のCF/ATAカードの内部構成図

【図4】 図3ホストインタフェースの内部構成図

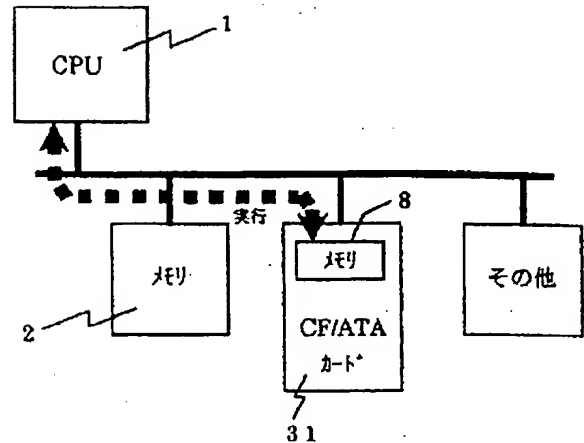
【符号の説明】

1 CPU、5 ホストインタフェース、6 フラッシュシーケンサ、7 フラッシュメモリインタフェース、8 バッファメモリ、9 フラッシュメモリ、10 ATAレジスタ、11 インデックス部、12 ホストアクセス制御部、31 CF/ATAカード

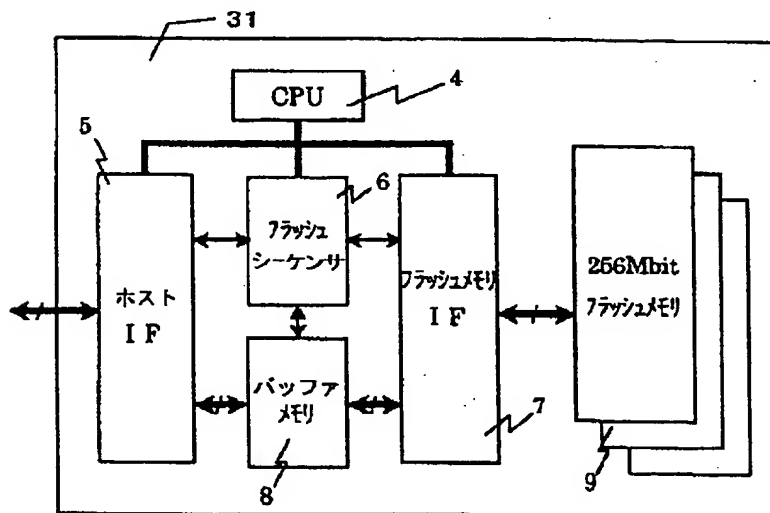
【図1】



【図2】



【図3】



【図4】

